

CLIPPEDIMAGE= JP405274810A

PAT-NO: JP405274810A

DOCUMENT-IDENTIFIER: JP 05274810 A

TITLE: BINARY CIRCUIT AND INFORMATION REPRODUCING DEVICE USING THIS CIRCUIT

PUBN-DATE: October 22, 1993

INVENTOR-INFORMATION:

NAME

TAKEDA, JUNICHI

ASHINUMA, TAKAAKI

ASSIGNEE-INFORMATION:

NAME

CANON INC

COUNTRY

N/A

APPL-NO: JP04098468

APPL-DATE: March 26, 1992

INT-CL (IPC): G11B020/14

ABSTRACT:

PURPOSE: To precisely reproduce recording information by providing an amplitude amplifying means, a binary signal averaging means and a duty control means to correct the edge deviation of binarization.

CONSTITUTION: The signal of a VFO pattern is a repeating signal having 50% of duty and a reproduced signal becomes a repeating signal with a fixed cycle. Binarization is performed by a comparator 5, a pulse signal having 50% of duty is obtained, an averaging is performed in a LDF 9 and a difference signal determining the difference between reference voltage in a subtracter 10 is transmitted to a sampling circuit 12 via an amplifier 11. This signal is transmitted to a VGA7 and the signal is held also after a timing signal is fallen. Therefore, a feedback control is performed for the gain of the VGA7 so that the average voltage may be target and the gain of the VGA7 is controlled to 50%. After the VFO pattern is terminated, the binarization of the reproduced signal of the subsequent data area is precisely binarized by the same gain. When the VFO pattern of the next sector comes, the timing

signal is  
again given to the sampling circuit and the reproducing processing is  
performed  
for the signal.

COPYRIGHT: (C)1993,JPO&Japio

(11)特許出願公開番号

特開平5-274810

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.<sup>6</sup>

**G 1 1 B 20/14**

識別記号

3 2 1 A 8322-5D

室内整理番号

FI

### 技術表示箇所

審査請求 未請求 請求項の数 4 (全 8 頁)

(21)出願番号 特願平4-98468

(22)出願日 平成4年(1992)3月26日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 武田 純一

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)發明者 芦沼 孝昭

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

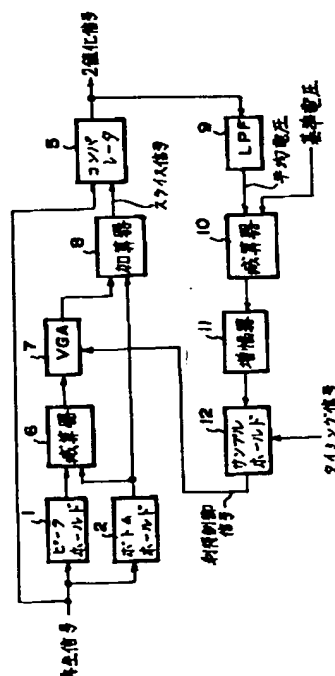
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 2値化回路及びこの回路を用いた情報再生装置

(57) 【要約】

【目的】 2値化信号のエッジのずれを補正し、記録情報を正確に再生できるようにする。

【構成】 2値化対象の入力信号のピーク値とボトム値をそれぞれ検出し、得られたピーク値とボトム値の中間値をスライスレベルとして入力信号を2値化する2値化回路において、前記スライスレベルまたは入力信号の振幅を増幅するための増幅手段と、2値化された2値化信号を平均化するための平均化手段と、得られた平均電圧と基準電圧の誤差信号に応じて前記増幅手段のゲインを可変し、前記2値化された信号のデューティーを所定値に制御するための制御手段とを設ける。また、この2値化回路を情報記録媒体の再生信号を2値化して情報を再生する情報再生装置に使用して、情報の2値化を行う。



## 【特許請求の範囲】

【請求項1】 2値化対象の入力信号のピーク値とボトム値をそれぞれ検出し、得られたピーク値とボトム値の中間値をスライスレベルとして入力信号を2値化する2値化回路において、前記スライスレベルまたは入力信号の振幅を増幅するための増幅手段と、2値化された2値化信号を平均化するための平均化手段と、得られた平均電圧と基準電圧の誤差信号に応じて前記増幅手段のゲインを可変し、前記2値化された信号のデューティを所定値に制御するための制御手段とを設けたことを特徴とする2値化回路。

【請求項2】 前記増幅手段は、入力信号を2値化するための比較手段と入力信号の入力端との間に設けられ、かつ比較手段に対して交流結合によって接続されていることを特徴とする請求項1の2値化回路。

【請求項3】 情報記録媒体から読み出された再生信号を2値化して情報を再生する情報再生装置において、再生信号のピーク値とボトム値の中間値とスライスレベルを比較して再生信号を2値化するための比較手段と、前記スライスレベルまたは再生信号の振幅を増幅するための増幅手段と、前記比較手段で2値化された信号を平均化するための平均化手段と、得られた平均電圧と基準電圧の誤差信号に応じて前記増幅手段のゲインを可変し、前記2値化された信号のデューティを所定値に制御するための制御手段とを有する2値化手段を設け、前記情報記録媒体の所定領域でこの2値化手段により2値化信号のデューティを調整することにより、前記2値化信号のエッジの記録信号のエッジに対するずれを補正することを特徴とする情報再生装置。

【請求項4】 前記情報記録媒体の所定領域は、PLLの同期をとるためのVFO領域であることを特徴とする請求項3の情報再生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、入力信号を2値化するための2値化回路及びこの2値化回路を用いて情報記録媒体から読み出された情報を再生する情報再生装置に関するものである。

## 【0002】

【従来の技術】従来、光学的情報記録媒体に情報をビットで記録する記録形態としては、情報ビットのセンターの位置に情報の意味をもたせるビットポジション記録と、情報ビットのエッジの位置に情報の意味をもたせるビットエッジ記録がある。情報の高密度記録を行うには、ビットエッジ記録が有利であるため、最近ではビットポジション記録からビットエッジ記録に移行しつつある。こうしたビットエッジ記録にあつては、ビットのエッジの位置に情報の意味をもたせているため、エッジ位置を正確に検出しなければならない。しかし、光ディスクなどの記録媒体の再生信号は、記録膜のムラ、符号間

干渉、再生信号のAC結合などによって変動してしまう。そのため、再生信号を2値化する際にスライスレベルが一定であるとビットのエッジの位置が変動し、情報を正確に再生できなかった。そこで、従来はこうした問題点を解決するための2値化回路として、例えば図8に示すような2値化回路が知られている。図8において、1は記録媒体から読出された再生信号のピーク値を保持するためのピークホールド回路、2は再生信号のボトム値を保持するためのボトムホールド回路である。これらの2つのホールド回路で保持されたピークエンベロープ信号とボトムエンベロープ信号は加算器3で加算された後、1/2掛算器4へ送られる。そして、1/2掛算器4で1/2を掛けることで再生信号のピーク値とボトム値の中間値が得られ、このレベルがスライスレベルとしてコンパレータ5へ出力される。従って、この2値化回路によれば、再生信号のピーク値とボトム値の中間値をスライスレベルとして2値化することにより、図9に示すように再生信号の振幅が変動してもこれに応じてスライスレベルが変化するために、再生信号を正確に2値化することができる。

## 【0003】

【発明が解決しようとしている課題】ところで、記録媒体に情報を記録する場合、例えば磁界変調方式では、光ビームの照射により磁性層の温度をキュリー温度以上に上昇させ、その温度上昇部位にバイアス磁界を印加するのであるが、記録ビットの大きさは変調された発生磁界の間隔で決まるので、外部磁界によって発生磁界の間隔が減少させられたりすると、ビットと記録信号が一致しないことがある。例えば、図11のように、本来の発生磁界Mに対し、外部磁界によってM'のように発生磁界がシフトすると本来記録されるべきビットの大きさLに対し、実際にはL'で示すようにビットが大きく記録されてしまう。このような理由によって、図10(a)、(b)に示すように記録ビットの“1”が記録信号よりも大きく記録されることになる。こうした場合、記録ビットを再生すると再生信号は図10(c)に示すようになり、更にこれを2値化すると図10(d)に示すように記録ビットのエッジに対応した2値化信号が得られる。即ち、再生信号は記録ビットを忠実に再現するために、2値化信号のエッジは実際の記録信号のエッジとずれを生じ、情報を正確に再生できなかった。当然このエッジのずれは記録ビットの“0”が多く記録されているときにも生じ、ビットエッジ記録においては2値化信号のエッジの位置が情報を表わすために、前述のような2値化信号のエッジのずれは大きな問題であった。

【0004】本発明は、このような問題点を解消するためになされたもので、2値化信号のエッジのずれを有効に補正し、記録情報を正確に再生できるようにした2値化回路及びこの回路を用いた情報再生装置を提供することを目的としたものである。

## 【0005】

【課題を解決するための手段】本発明の目的は、2値化対象の入力信号のピーク値とボトム値をそれぞれ検出し、得られたピーク値とボトム値の中間値をスライスレベルとして入力信号を2値化する2値化回路において、前記スライスレベルまたは入力信号の振幅を増幅するための増幅手段と、2値化された2値化信号を平均化するための平均化手段と、得られた平均電圧と基準電圧の誤差信号に応じて前記増幅手段のゲインを可変し、前記2値化された信号のデューティを所定値に制御するための制御手段とを設けたことを特徴とする2値化回路によって達成される。

【0006】また、本発明の目的は、情報記録媒体から読み出された再生信号を2値化して情報を再生する情報再生装置において、再生信号のピーク値とボトム値の中間値とスライスレベルを比較して再生信号を2値化するための比較手段と、前記スライスレベルまたは再生信号の振幅を増幅するための増幅手段と、前記比較手段で2値化された信号を平均化するための平均化手段と、得られた平均電圧と基準電圧の誤差信号に応じて前記増幅手段のゲインを可変し、前記2値化された信号のデューティを所定値に制御するための制御手段とを有する2値化手段を設け、前記情報記録媒体の所定領域でこの2値化手段により2値化信号のデューティを調整することにより、前記2値化信号のエッジの記録信号のエッジに対するずれを補正することを特徴とする情報再生装置によって達成される。

## 【0007】

【実施例】以下、本発明の実施例について、図面を参照して詳細に説明する。図1は本発明の2値化回路の一実施例を示したブロック図である。なお、図1では図8に示した従来装置と同一部分は同一符号を付している。図1において、1は光ディスクなどの記録媒体から読出された再生信号のピーク値を保持するピークホールド回路、2は再生信号のボトム値を保持するボトムホールド回路である。6はピークホールド回路1、ボトムホールド回路2で得られたピークエンベロープ信号とボトムエンベロープ信号を減算するための減算器、7は減算器6の出力信号を増幅するためのバリアブルゲインアンプ（以下、VGAという）である。VGA7のゲインは後述する利得制御信号によって可変される。8はボトムホールド回路2の出力信号とVGA7の出力信号を加算するための加算器で、ここで加算された信号が再生信号を2値化する際のスライス信号となる。5は再生信号とスライス信号を比較して再生信号を2値化するためのコンパレータである。9は2値化信号を平均化するためのローパスフィルタ（以下、LPFという）、10はこの平均電圧と基準電圧との差分を出力するための減算器、11はこの差信号を増幅するための増幅器、12は図示しないタイミング制御部からのタイミング信号により増幅

器11の出力信号をホールドするためのサンプルホールド回路である。増幅器11の出力信号は2値化信号の平均電圧と基準電圧との誤差信号、即ち再生信号の振幅レベルを所定レベルに制御するためのVGA7の利得制御信号としてフィードバックされる。また、本実施例では記録媒体のVFOパターンでタイミング信号が出力され、従ってサンプルホールド回路12ではこのときの利得制御信号をホールドしてVGA7に出力する。

【0008】次に、本実施例の具体的な動作を説明する。この実施例では1-7変調が採用されているものとする。記録媒体（例えば、光ディスク）のセクタの初めの領域にはPLLの同期をとるためのVFOパターンが設けられているが、1-7変調ではこのVFOパターンの信号はデューティ50%の繰り返し信号である。従って、VFOパターンの繰り返し信号を再生して2値化するとデューティ50%の繰り返し信号となるが、この繰り返し信号のハイレベルを5V、ローレベルを0であるととし、これをLPF9で平均化すると、その平均電圧は2.5Vになるはずである。そこで、本実施例では減算器11に基準電圧2.5Vを入力し、この基準電圧と平均電圧から利得制御信号を生成する。記録媒体の記録情報を再生する場合、セクタの先頭から順次読出され、再生信号はピークホールド回路1及びボトムホールド回路2へ入力される。ピークホールド回路1、ボトムホールド回路2でそれぞれホールドされたピークエンベロープ信号及びボトムエンベロープ信号は減算器6に送られ、ここで減算処理することで再生信号の振幅レベルが得られる。減算器6の出力信号はVGA7で所定のゲインで増幅されてから加算器8へ送られ、加算器8ではこのVGA7の出力信号とボトムホールド回路2の出力信号を加算することでスライス信号を生成する。つまり、再生信号の振幅値とボトムエンベロープ信号を加算することによって、再生信号の中間値の信号を生成し、得られた信号をスライスレベルとしてコンパレータ5へ出力する。コンパレータ5は再生信号とスライス信号を比較して再生信号を2値化し、得られた2値化信号を図示しない後段のデータセパレータやLPF9へ出力する。

【0009】ここで、記録情報はセクタの先頭から順次読出されていくのであるが、信号再生のタイミングが記録媒体のVFOパターンの先頭に達したときに、前述のように図示しないタイミング制御部からサンプルホールド回路12にタイミング信号が出力される。図2(a)はこのタイミング信号を示した図で、ハイレベルである期間はVFOパターンであることを示している。また、VFOパターンの信号は前述の如くデューティ50%の繰り返し信号であるので、VFOパターンにおける再生信号は図2(b)に示すように一定周期の繰り返し信号となる。更にこの再生信号をコンパレータ5で2値化すると、その2値化信号は図2(c)に示すようにデ

5

ーティー50%のパルス信号となる。コンパレータ5で2値化された2値化信号はL PF9で平均化され、得られた平均電圧は減算器10へ送られる。図2(d)はその平均電圧の信号波形を示す。減算器10では平均電圧と基準電圧の差分が算出され、得られた差信号は増幅器11で増幅された後、サンプルホールド回路12へ出力される。そして、サンプルホールド回路12では増幅器11から送られた信号を通過させ、この信号を利得制御信号としてVGA7に出力すると共に、タイミング信号がローレベルに立ち下がった以降もその信号をホールドしつづける。これにより、VGA7のゲインは2値化信号の平均電圧と基準電圧との差に応じたゲインに可変され、平均電圧が目標電圧になるようにフィードバック制御が働く。つまり、情報ビットの“1”の部分が多めに書かれていて再生信号の波形が上下非対称であっても、図2(b)に示す如く2値化信号のデューティーが50%になるようにコンパレータ5のスライスレベルが自動的に調整され、記録状態の如何に拘らず2値化信号のデューティーは50%に制御される。こうしてVGA7のゲインは適正値に設定され、VFOパターンの終了後はサンプルホールド回路12によって適正ゲインがホールドされるため、以後のデータ領域の再生信号の2値化は同じゲインで行われる。この場合、VFOとデータ領域は同じ条件で記録されており、VFOとデータ領域の信号の非対称性は同じであると考えられるので、データ領域においても正確に再生信号の2値化を行うことができる。データ領域のデータ再生が終了し、次のセクタのVFOパターンになると、再びタイミング信号が出力され、前記と同様のゲイン調整が行われる。図3は記録が最適に行われなかったときの各部の信号波形を示した図である。即ち、図3は情報ビットの“1”の部分が多めに書かれているときの例で、このときには前述のようなゲインの制御動作によりスライスレベルは図2に比べて更に上昇し、その結果2値化信号のデューティーは同様に50%に制御される。従って、2値化信号の立ち上がり及び立ち下がりエッジは記録信号のエッジと一致し、ビットエッジ記録における情報再生を正確に行うことができる。

【0010】なお、以上の実施例では変調方式が1-7変調で、VFOパターンの信号のデューティーが50%であるときの例を示したが、他の変調方式である場合は、その変調方式のVFOパターンの信号のデューティーに合わせて減算器10の基準電圧を設定すればよい。また、VGA7のゲイン調整はVFOパターンでなくてもよく、その場合にはゲインを調整するための領域の信号の平均電圧に基準電圧を設定すればよい。

【0011】次に、本発明の2値化回路の他の実施例について説明する。図1の実施例ではVGA7が直流アンプであるためにオフセット電圧が発生しやすく、スライスレベルを正確に最適値に設定できないことがある。具

6

体的に説明すると、まず図4(a)に示すようにVFOパターンの再生信号のピークエンベロープ信号の電圧をa(V)、ボトムエンベロープ信号の電圧をb(V)、その振幅レベルを1(V)とする。また、VGA7のオフセット電圧を0.2V、最適スライスレベルをピークエンベロープとボトムエンベロープの中間値とする。この条件でVFOパターンの信号を再生しながら最適スライスレベルVsを設定したとすると、次の関係が成り立つ。

10 【0012】

$$Vs = (a+b)/2 = (a-b) \times \alpha + b + 0.2$$
 となる。但し、 $\alpha$ はVGA7のゲインである。ここで、 $a-b$ は再生信号の振幅値を表わすので、 $a-b=1V$ となり、これを上記式に代入すると、 $1/2 = \alpha + 0.2$ となる。従って、本来VGA7がオフセットをもたなければ $\alpha$ は0.5となるのであるが、0.2Vのオフセットがあるために $\alpha$ は0.3となる。つまり、オフセット電圧のために最適ゲインに設定できず、スライスレベルも図4(a)に示すように誤差を生じてしまう。なお、比較のために、オフセットのない理想的なVGAを使用したときの再生信号とスライスレベルを図4(b)に示しており、オフセットのないときはスライスレベルは最適値に設定されることがわかる。そこで、本実施例は以上の問題点を解決し、VGA7のオフセットに関係なく再生信号の2値化を正確に行えるようにしたものである。

【0013】図5は本実施例の2値化回路の具体的構成を示したブロック図である。なお、図1の実施例と同一部分は同一符号を付している。本実施例では、再生信号はVGA7を介してコンパレータ5へ入力されている。即ち、VGA7により再生信号の振幅レベルを可変し、2値化信号のデューティーを所定値とするように構成されている。VGA7とコンパレータ5はコンデンサCによって交流結合され、VGA7がオフセット電圧をもっていたり、オフセット電圧のドリフトを起こしても2値化動作に影響しないように配慮されている。一方、加算器8では2値化のためのスライス信号が生成され、コンパレータ5に入力されている。加算器8においては、減算器6で生成された再生信号の振幅値とボトムホールド回路13で得られたボトム値から一定レベルのスライス信号を生成し、コンパレータ5へ出力する。なお、スライス信号を作成する場合、新たにボトムホールド回路13を設け、VGA7で増幅後の再生信号のボトム値を用いてスライス信号を生成するようにしてある。その他の構成は図1の実施例と同じである。なお、この実施例でも変調方式として1-7変調が採用され、VFOパターンの信号のデューティーは50%であるものとする。従って、減算器10の基準電圧は前記実施例と同様に2.5Vに設定されている。

【0014】図6(a)は図示しないタイミング制御部

50

7

からサンプルホールド回路12に出力されるタイミング信号、図6(b)はVGA7で増幅された後の再生信号である。この再生信号はコンパレータ5でスライスレベルと比較され、図6(c)に示すような2値化信号に2値化される。この場合、スライスレベルは再生信号のピーク値とボトム値の中間値の一定レベルであるのに対し、再生信号はVGA7によりゲインが可変されるためにその振幅値が変化する。即ち、LPF9で図6(d)に示すように2値化信号の平均電圧が生成され、減算器10でその平均電圧と基準電圧の誤差信号が得られるわけであるが、本実施例ではこの誤差信号に基づいてVGA7のゲインを可変して再生信号の振幅値を変化させることで、コンパレータ5の2値化動作を制御するものである。つまり、2値化信号の平均電圧が目標電圧の2.5V、即ち2値化信号のデューティが50%になるように再生信号の振幅値を変化させることによって、記録情報に対する正確な2値化信号を得るものである。従って、情報ビットの“1”の部分が多めに書かれていたとしても、記録信号と情報ビットのエッジの誤差分を補正でき、正確な情報再生を行うことができる。もちろん、VGA7のゲインはVFOパターンでのゲインに固定され、以後のデータ領域はその固定ゲインで再生される。このように本実施例にあっては、情報ビットの記録信号に対するエッジの誤差分を補正して正確に情報を再生できるばかりでなく、VGA7のオフセット電圧の影響も完全に除去できるために、更に正確に再生信号の2値化を行うことができる。なお、VGA7のオフセット電圧がコンパレータ5のダイナミックレンジ以内であれば、VGA7はAC結合ではなく直結してもよい。

【0015】図7は上記2値化回路を用いた本発明の情報再生装置の一実施例を示した構成図である。なお、図7では情報記録媒体として光磁気ディスクを用いた光磁気情報再生装置を例としてとりあげるものとする。図7において、20は情報記録媒体であるところの光磁気ディスクであり、図示しないスピンドルモータの駆動により一定速度で回転する。光磁気ディスク20の上面には、情報信号に応じて変調されたバイアス磁界を発生する磁気ヘッドが設けられ、その下面には磁気ヘッド7と対向して対物レンズ24が設けられている。対物レンズ24は半導体レーザ22、偏光ビームスプリッタ23、25、光センサ26、27、などと共に光ヘッドとして一体化されている。情報を記録する場合は、半導体レーザ22から射出された記録用レーザビームが対物レンズ24で絞られ、微小光スポットとして光磁気ディスク20上に照射される。一方、磁気ヘッド21から情報信号に応じて変調された磁界が印加され、光ビームの照射と磁界印加の相互作用によって情報が記録される。即ち、情報信号に対応して光磁気ディスク20の磁性層の磁化が配向し、一連の情報が情報ビット列として記録されていく。また、情報を再生する場合は、半導体レーザ22

8

から再生用光ビームが光磁気ディスク20上に照射される。光磁気ディスク20で反射された光束は偏光ビームスプリッタ25で光の偏光方向により2つに分けられ、それぞれ光センサ26、27で検出される。つまり、光磁気ディスク20の反射光の偏光方向は磁気カー効果により磁化の向きに応じて回転し、このカー回転の方向に応じて偏向ビームスプリッタ25で2つに分けられる。

【0016】光センサ26、27の検出信号は各々アンプ28、29で光電変換された後、差動アンプ30に送られ、ここで差動検出することにより光磁気信号として再生される。得られた再生信号は情報磁区の磁化方向に対応して正または負の信号となる。こうして得られた再生信号は2値化回路31へ送られる。2値化回路31としては、図1あるいは図5に示した2値化回路が使用されている。2値化回路31では、前述したようにスライスレベルまたは再生信号の振幅値を可変することで、情報磁区のエッジと記録信号のずれ分を補正し、ビットエッジ記録におけるエッジの位置を正確に再現した2値化信号を生成し出力する。得られた2値化信号はデータセパレータ32で基準クロックと同期をとられ、その後デコーダ33で復調することで再生データが生成される。このように本実施例の情報再生装置では、情報の記録時に情報ビットが記録信号よりも大きく記録されたとしても、2値化回路でその誤差分を有効に補正するために、記録時の情報信号を忠実に再現した2値化信号を得ることができ、ビットエッジ記録における記録情報を正確に再生することができる。

【0017】なお、実施例では磁界変調方式の光磁気ディスク情報再生装置を例としたが、光変調方式の光磁気ディスク情報再生装置や追記形光ディスク情報再生装置、あるいは相変化型光ディスク情報再生装置などにも適用できることは言うまでもない。

【0018】

【発明の効果】以上説明したように本発明は、スライスレベルまたは入力信号の振幅を増幅するための増幅手段を設け、そのゲインを2値化信号の平均値と基準値の誤差に応じて可変することにより、2値化信号のデューティを所定値に制御することができる。また、このデューティを情報記録媒体の所定領域で調整することにより、情報記録時の情報ビットと記録信号のエッジのずれ分を有効に補正できるために、記録時の情報信号を忠実に再現した2値化信号を得ることができ、ビットエッジ記録における情報を正確に再生できるという効果がある。

【図面の簡単な説明】

【図1】本発明の2値化回路の一実施例を示したブロック図である。

【図2】図1の実施例において情報ビットが正確に記録されているときの各部の信号波形を示したタイムチャートである。

【図3】図1の実施例において情報ビットが記録信号よりも多めに記録されているときの各部の信号波形を示したタイムチャートである。

【図4】図1の実施例の再生信号とスライスレベルをVGAにオフセット電圧があるときとないときで比較して示した波形図である。

【図5】本発明の2値化回路の他の実施例を示したブロック図である。

【図6】図5の実施例の各部の信号波形を示したタイムチャートである。

【図7】本発明の情報再生装置の一実施例を示した構成図である。

【図8】従来例の2値化回路を示したブロック図である。

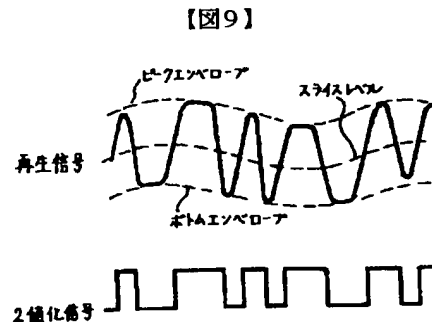
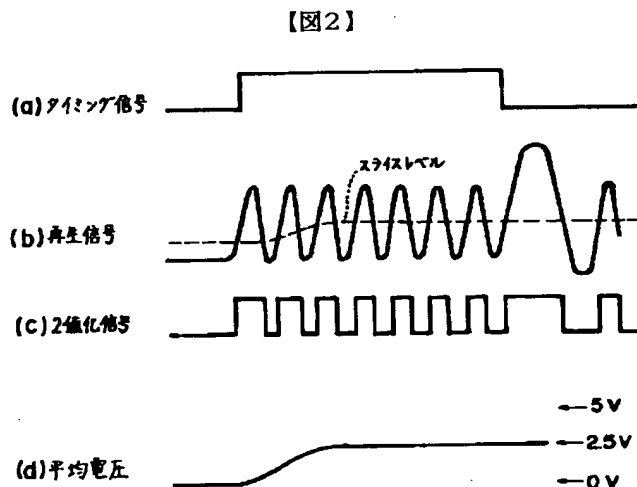
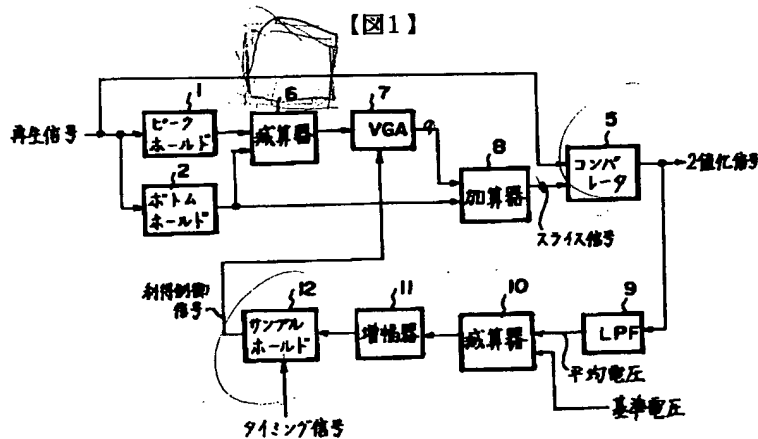
【図9】その従来回路の再生信号と2値化信号を示した信号波形図である。

【図10】情報記録時の記録信号とそれよりも大きく記録された記録ビット、及びそれを再生したときの再生信号とその2値化信号を示した図である。

【図11】磁界変調方式の情報記録における本来の発生磁界と外部磁界によりシフトした発生磁界及び実際に記録されるビットの関係を示した図である。

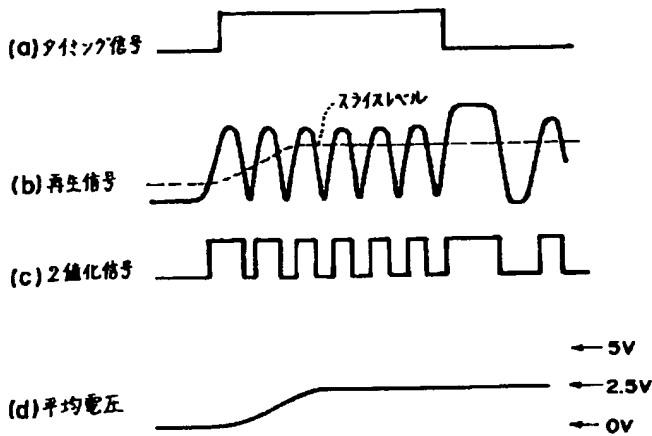
【符号の説明】

- 1    ピークホールド回路
- 2, 13    ボトムホールド回路
- 5    コンパレータ
- 6, 10    減算器
- 7    VGA (バリエブルゲインアンプ)
- 10 9    LPF (ローパスフィルタ)
- 11    増幅器
- 12    サンプルホールド回路
- 20    光磁気ディスク
- 21    磁気ヘッド
- 22    半導体レーザ
- 26, 27    光センサ
- 30    差動アンプ
- 31    2値化回路

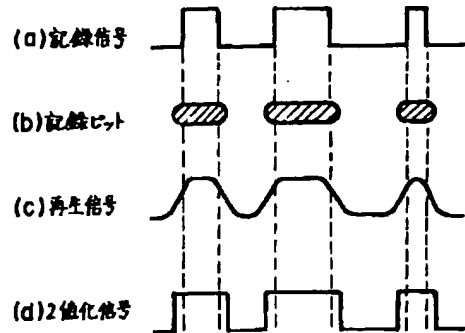




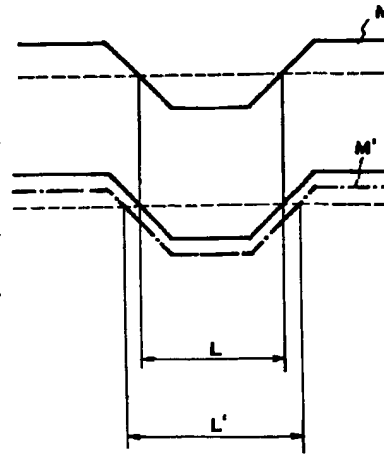
【図3】



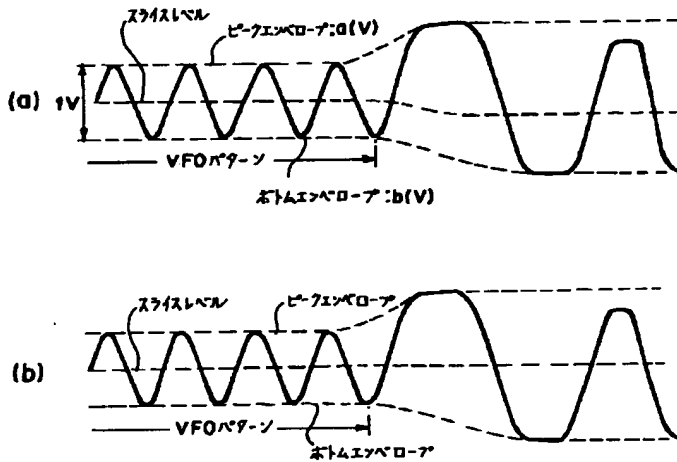
【図10】



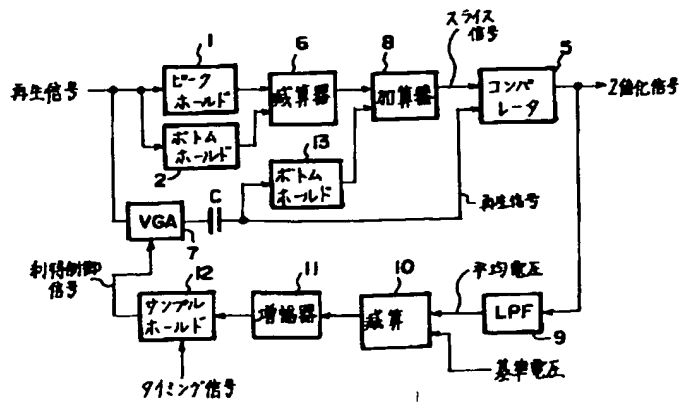
【図11】



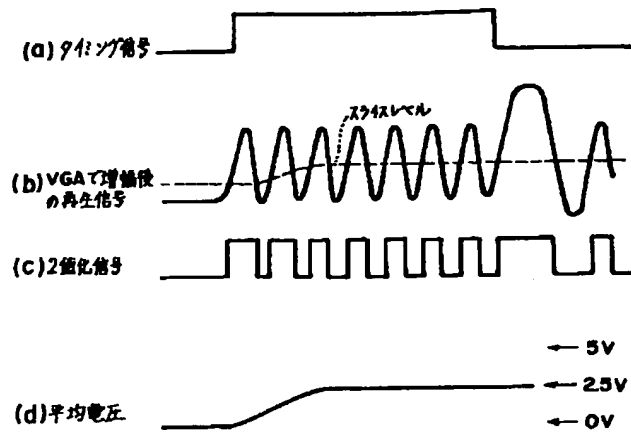
【図4】



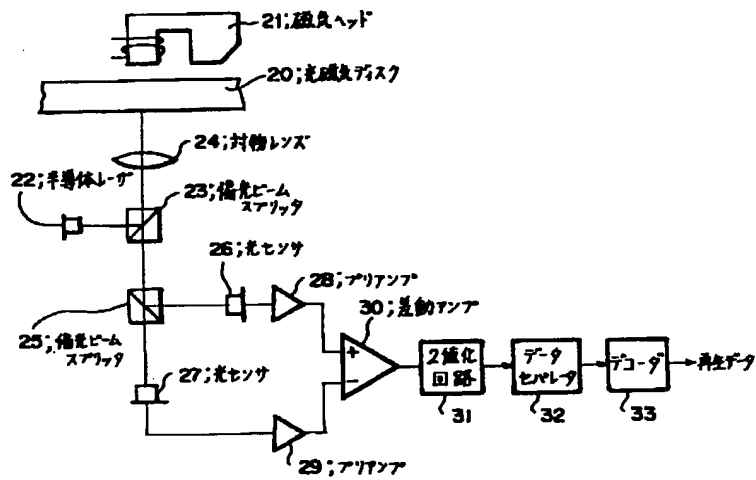
【図5】



【図6】



【図7】



【図8】

